

(19)世界知的所有権機関
国際事務局(43)国際公開日
2005年6月23日 (23.06.2005)

PCT

(10)国際公開番号
WO 2005/057530 A1(51)国際特許分類⁷: G09F 9/30, G02F 1/1368,
H01L 29/786, 21/3205, H05B 33/14丸の内二丁目6番1号日本ゼオン株式会社内 Tokyo
(JP).

(21)国際出願番号: PCT/JP2004/017557

(74)代理人: 後藤洋介, 外(GOTO, Yosuke et al.); 〒
1050003 東京都港区西新橋1丁目4番10号第三
森ビル Tokyo (JP).

(22)国際出願日: 2004年11月26日 (26.11.2004)

(81)指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
VC, VN, YU, ZA, ZM, ZW.

(25)国際出願の言語: 日本語

(84)指定国(表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

(26)国際公開の言語: 日本語

(30)優先権データ: 特願2003-400300

2003年11月28日 (28.11.2003) JP

(71)出願人(米国を除く全ての指定国について): 日本
ゼオン株式会社 (ZEON CORPORATION) [JP/JP]; 〒
1008323 東京都千代田区丸の内二丁目6番1号 Tokyo
(JP).添付公開書類:
— 国際調査報告書

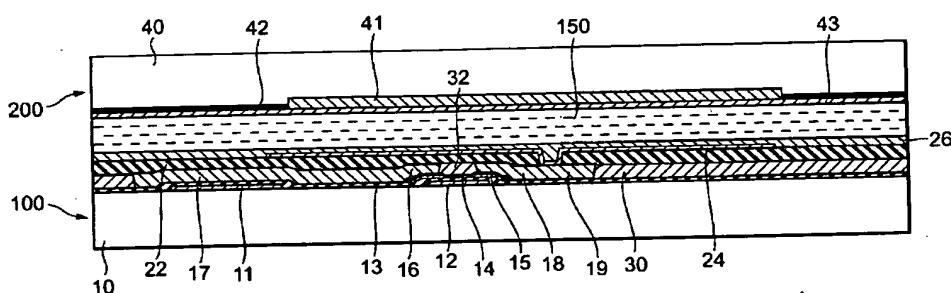
(71)出願人および

(72)発明者: 大見忠弘 (OHMI, Tadahiro) [JP/JP];
〒9800813 宮城県仙台市青葉区米ヶ袋2丁目
1-17-301 Miyagi (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 森本明大 (MO-
RIMOTO, Akihiro), 鈴木輝彦 (SUZUKI, Teruhiko)
[JP/JP]; 〒1008323 東京都千代田区丸の内二丁目6番
1号 日本ゼオン株式会社内 Tokyo (JP). 加藤丈佳
(KATO, Takeyoshi) [JP/JP]; 〒1008323 東京都千代田区2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。(54)Title: THIN FILM TRANSISTOR INTEGRATED CIRCUIT DEVICE, ACTIVE MATRIX DISPLAY DEVICE, AND MAN-
UFACTURING METHOD OF THE SAME

(54)発明の名称: 薄膜トランジスタ集積回路装置、アクティブラーマトリクス表示装置及びそれらの製造方法



WO 2005/057530 A1

(57)Abstract: There is provided an active matrix display device including a flattening layer formed so as to surround a source electrode wiring, a drain electrode wiring, and a signal line, so that the source electrode wiring, the drain electrode wiring, and the signal line form substantially the same surface with the flattening layer.

(57)要約: ソース電極配線、ドレイン電極配線、及び、信号線を囲むように、平坦化層を形成し、ソース電極配線、ドレイン電極配線、及び、信号線が実質上平坦化層と同一平面を形成するようにしたアクティブラーマトリクス表示装置。